



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원 번호 : 특허출원 1999년 제 37928 호
Application Number

출원 년 월 일 : 1999년 09월 07일
Date of Application

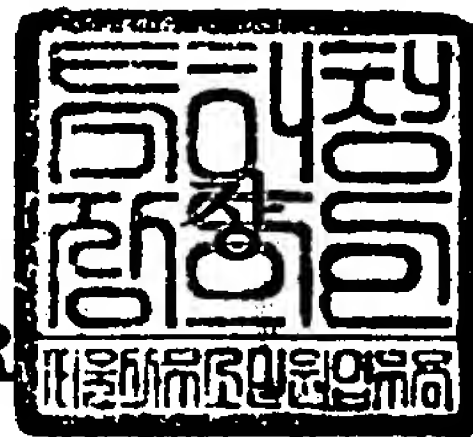
출원인 : 아남반도체 주식회사
Applicant(s)



2000 년 03 월 03 일

특 허 청

COMMISSIONER



【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0005
【제출일자】 1999.09.07
【발명의 명칭】 반도체패키지용 섭스트레이트 및 이를 이용한 반도체패키지의 제조방법
【발명의 영문명칭】 substrate for semiconductor package and manufacturing method of semiconductor package using it
【출원인】
 【명칭】 아남반도체주식회사
 【출원인코드】 1-1998-002671-9
【대리인】
 【성명】 서만규
 【대리인코드】 9-1998-000260-4
 【포괄위임등록번호】 1999-045485-8
【대리인】
 【성명】 최용원
 【대리인코드】 9-1998-000658-1
 【포괄위임등록번호】 1999-045486-5
【발명자】
 【성명의 국문표기】 신원선
 【성명의 영문표기】 SIN, Won sun
 【주민등록번호】 620803-1009418
 【우편번호】 472-900
 【주소】 경기도 남양주시 와부읍 덕소리 현대아파트 101-109호
 【국적】 KR
【발명자】
 【성명의 국문표기】 이선구
 【성명의 영문표기】 LEE, Seon goo
 【주민등록번호】 640719-1140210
 【우편번호】 412-220

【주소】	경기도 고양시 덕양구 행신동 햇빛마을 주공아파트 1823-601호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	전도성		
【성명의 영문표기】	CHUN,Do sung		
【주소】	미합중국 아리조나주 85226 찬들러 900노스 루를로드 #2055		
【국적】	US		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 규 (인) 대리인 최용원 (인) 서만		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	8	면	8,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	37,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

이 발명은 반도체패키지용 셉스트레이트 및 이를 이용한 반도체패키지의 제조 방법에 관한 것으로, 와이어본딩(wire bonding)이나 몰딩(molding) 공정중에 워페이지(warpage) 현상을 최소화하며, 더불어 제조 공정중 접착된 테이프를 용이하게 제거하기 위해, 반도체칩이 위치되도록 다수의 관통공이 행과 열을 지어 일정거리 이격된 채 군집되어 하나의 서브-스트립을 이루며, 상기 서브-스트립은 일정길이로 관통된 슬롯을 경계로 다수가 연결되어 하나의 메인-스트립을 형성하는 수지층과; 상기 각 서브-스트립 내의 관통공 외주연인 수지층에 차후 반도체칩과 접속수단으로 접속되고, 또한 차후 도전성볼이 융착되도록 본드핑거 및 볼랜드를 포함하여 이루어진 도전성 회로패턴과; 상기 수지층 및 회로패턴의 표면에 상기 본드핑거 및 볼랜드가 오픈되도록 코팅된 커버코트와; 상기 메인-스트립을 이루는 수지층의 일면에 상기 다수의 관통공을 폐쇄할 수 있도록 접착되며, 상기 서브-스트립과 서브-스트립 사이의 경계영역상에서 형성되는 절단라인을 갖는 일체형의 커버레이 테이프와를 포함하여 이루어진 것을 특징으로 하는 반도체패키지용 셉스트레이트 및 이를 이용한 반도체패키지의 제조 방법.

【대표도】

도 1b

【명세서】

【발명의 명칭】

반도체패키지용 셉스트레이트 및 이를 이용한 반도체패키지의 제조 방법{substrate for semiconductor package and manufacturing method of semiconductor package using it

【도면의 간단한 설명】

도1a는 본 발명에 의한 반도체패키지용 셉스트레이트를 도시한 평면도이다.

도1b는 본 발명에 의한 셉스트레이트에 테이프가 접착된 상태를 도시한 저면도이다.

도2a 내지 도2h는 본 발명에 의한 반도체패키지의 제조 방법을 도시한 순차 설명도이다.

도3는 통상적인 초박형 반도체패키지를 도시한 단면도이다.

- 도면중 주요 부호에 대한 설명 -

100; 셉스트레이트(substrate) 2; 서브-스트립(sub-strip)

4; 메인-스트립(main-strip) 6; 수지층

8; 관통공 12; 본드핑거(bond finger)

14; 볼랜드(ball land) 16; 커버코트(cover coat)

18; 그라운드링(ground ring) 22; 그라운드플랜(ground plane)

26; 슬롯(slot) 28; 인덱스홀(index hole)

30; 커버레이테이프(cover lay tape) 32; 절단라인

34; 펀치(punch)

200; 반도체패키지

42; 반도체칩

44; 접속수단

46; 봉지재

48; 도전성볼(conductive ball)

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 반도체패키지용 셉스트레이트 및 이를 이용한 반도체패키지의 제조 방법에 관한 것으로, 더욱 상세하게 설명하면 하나의 셉스트레이트에 접촉되는 일체형의 커버레이 테이프에 절단라인을 형성하는 것에 의해, 와이어본딩(wire bonding)이나 몰딩(molding) 공정중에 워페이지(warpage) 현상을 최소화할 수 있는 반도체패키지용 셉스트레이트 및 이를 이용한 반도체패키지의 제조 방법에 관한 것이다.

<17> 최근의 반도체패키지는 반도체칩의 경박단소화 및 각종 전자기기의 소형화 추세에 따라 그 반도체칩을 마더보드상에 지지시켜주는 동시에 입출력신호를 매개해주는 반도체패키지도 초박형 및 칩싸이즈화하는 형태로 전환되고 있다.

<18> 이러한 반도체패키지 중에서 초박형 반도체패키지(200')의 일례를 도3에 도시하였으며 이를 참조하여 통상적인 초박형 반도체패키지의 구조를 간략히 설명하면 다음과 같다.

<19> 도시된 바와 같이 일면에 입출력패드가 형성되어 있는 반도체칩(42')이 구비

되어 있고, 상기 반도체칩(42')의 외주연으로는 그 반도체칩(42')이 위치할 수 있도록 관통공(8')이 형성된 셉스트레이트(100')가 형성되어 있으며, 상기 셉스트레이트(100')는 수지층(6')을 기본층으로 하여 그 표면에는 다수의 본드핑거(12') 및 볼랜드(14')로 이루어진 회로패턴이 형성되어 있고, 상기 수지층(6') 및 회로패턴의 표면은 본드핑거(12') 및 볼랜드(14')가 오픈되도록 커버코트(16')가 코팅되어 있다. 상기 반도체칩(42')의 입출력패드와 상기 셉스트레이트(100')의 본드핑거(12')는 전기적으로 접속되도록 도전성와이어와 같은 전기적 접속수단(44')에 의해 상호 연결되어 있으며, 상기 셉스트레이트(100')의 관통공(8') 내에 위치된 반도체칩(42'), 접속수단(44') 및 셉스트레이트(100')의 일부는 봉지재(46')가 감싸고 있으며, 이때 상기 반도체칩(42')의 일면은 봉지재(46') 외측으로 노출되어 있다. 마지막으로 상기 셉스트레이트(100')의 볼랜드(14')에는 다수의 도전성볼(48')이 용착되어 차후 마더보드에 실장 가능한 형태로 되어 있다.

<20> 상기와 같은 반도체패키지의 제조 방법을 간단히 설명하면 다음과 같다.

<21> 먼저 수지층을 기본층으로 하여 그 표면에 다수의 본드핑거와 볼랜드를 가지고, 상기 본드핑거와 볼랜드가 오픈된 상태로 커버코트가 코팅되며, 중앙에는 관통공이 형성되어 있는 셉스트레이트를 제공한다. 여기서, 상기 셉스트레이트는 통상 독립된 반도체패키지가 형성되는 다수의 유닛이 한 스트립내에 형성되어 있는 것이 보통이다.

<22> 일면에 다수의 입출력패드를 가지는 반도체칩을 상기 셉스트레이트의 관통공내에 위치시킨다. 이때, 상기 셉스트레이트의 일면에는 그 관통공을 폐쇄할 수 있도록 일체형의 커버레이테이프(도시되지 않음)를 접착하고, 상기 커버레이테이프상에 반도체칩을 접착시킨다.

<23> 상기 반도체칩의 입출력패드와 셉스트레이트의 본드핑거를 전기적 접속수단을 이용

하여 상호 전기적으로 접속시킨다.

- <24> 상기 관통공내의 반도체칩, 접속수단 및 셉스트레이트의 일정영역을 봉지재로 몰딩한다.
- <25> 상기 셉스트레이트에 형성된 블랜드에 다수의 도전성볼을 용착하여 최종 입출력단자를 형성하고, 상기 셉스트레이트에 접착된 일체형의 커버레이테이프를 제거한다.
- <26> 마지막으로, 상기 스트립 형상을 하는 셉스트레이트에서 각각의 유닛에 형성된 반도체패키지를 날개로 싱글레이션함으로써 최종적인 반도체패키지를 얻게 된다.
- <27> 한편, 상기와 같은 셉스트레이트에는 제조 공정중 반도체칩 등을 몰딩하기 위해 셉스트레이트의 일면에 일체형의 커버레이테이프를 접착하게 되는데, 상기 커버레이 테이프는 상기 셉스트레이트와 열팽창계수가 상이함으로써 여러 문제를 야기하게 된다.
- <28> 즉, 고온의 온도조건이 필요한 와이어본딩 공정이나 몰딩 공정중에 상기 셉스트레이트와 커버레이테이프의 열팽창 계수차로 인해 셉스트레이트에 워페이지(warpage, 휨현상)가 발생하며, 이로 인해 와이어본딩 불량, 몰딩 불량이 발생하여 반도체패키지의 신뢰성에 큰 영향을 주게 된다.
- <29> 또한, 상기와 같은 초박형 반도체패키지에서 반도체칩 등은 몰딩 공정중에 정전기가 축적되어 일시에 방전되는 현상으로 인해 반도체칩이 쉽게 파손되거나 또는 셉스트레이트의 회로패턴이 단락되는 등의 여러 문제점을 가지고 있어 이것의 해결이 시급하다.
- <30> 더불어, 반도체패키지의 제조 공정중에는 셉스트레이트에 반듯이 커버레이테이프를 접착한 후 제거해야 하는데, 상기 커버레이테이프는 셉스트레이트의 일면 전영역에 접

착됨으로써 이것의 제거가 용이하지 않은 문제점이 있으며, 무리하게 커버레이테이프를 제거시 섭스트레이트가 파손될 위험이 있다.

【발명이 이루고자 하는 기술적 과제】

- <31> 따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 하나의 섭스트레이트에 접착되는 일체형의 커버레이테이프에 절단라인을 형성하는 것에 의해, 와이어본딩이나 몰딩 공정중에 워페이징 현상을 최소화시키며, 제조 공정중 접착된 커버레이테이프를 용이하게 제거할 수 있는 반도체패키지용 섭스트레이트 및 이를 이용한 반도체패키지의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <32> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지용 섭스트레이트는 반도체칩이 위치되도록 다수의 관통공이 행과 열을 지어 일정거리 이격된 채 균집되어 하나의 서브-스트립을 이루며, 상기 서브-스트립은 일정길이로 관통된 슬롯을 경계로 다수가 연결되어 하나의 메인-스트립을 형성하는 수지층과; 상기 각 서브-스트립 내의 관통공 외주연인 수지층에 차후 반도체칩과 접속수단으로 접속되고, 또한 차후 도전성볼이 용착되도록 본드핑거 및 볼랜드를 포함하여 이루어진 도전성 회로패턴과; 상기 수지층 및 회로패턴의 표면에 상기 본드핑거 및 볼랜드가 오픈되도록 코팅된 커버코트와; 상기 메인-스트립을 이루는 수지층의 일면에 상기 다수의 관통공을 폐쇄할 수 있도록 접착되며, 상기 서브-스트립과 서브-스트립 사이의 경계영역상에서 절단라인을 갖는 일체형의 커버레이 테이프와를 포함하여 이루어진 것을 특징으로 한다.

- <33> 상기 커버레이 테이프의 절단라인은 상기 커버레이 테이프의 폭 전체에 걸쳐서 형

성할 수 있으며, 상기 슬롯상의 영역를 포함하는 상기 커버레이 테이프의 폭 전체의 일부영역에만 형성할 수도 있다.

<34> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지의 제조 방법에 의하면, 반도체칩이 위치되도록 다수의 관통공이 행과 열을 지어 일정거리 이격된 채 균집되어 하나의 서브-스트립을 이루며, 상기 서브-스트립은 일정길이로 관통된 슬롯을 경계로 다수가 연결되어 하나의 메인-스트립을 형성하는 수지층과; 상기 각 서브-스트립 내의 관통공 외주연인 수지층에 차후 반도체칩과 접속수단으로 접속되고, 또한 차후 도전성볼이 융착되도록 본드핑거 및 블랜드를 포함하여 이루어진 도전성 회로패턴과; 상기 수지층 및 회로패턴의 표면에 상기 본드핑거 및 블랜드가 오픈되도록 코팅된 커버코트를 포함하여 이루어진 반도체패키지용 셉스트레이트를 제공하는 단계와; 상기 셉스트레이트의 일면에 각 서브-스트립에 형성된 모든 관통공을 폐쇄할 수 있도록, 상기 서브-스트립과 서브-스트립 사이의 경계영역상에서 절단라인을 갖는 일체형의 커버레이 테이프를 접착하는 단계와; 상기 각각의 관통공에 반도체칩을 위치시켜 상기 커버레이테이프상에 접촉시키는 단계와; 상기 반도체칩과 관통공 외주연에 형성된 본드핑거를 전기적 접속수단으로 접속하는 단계와; 상기 반도체칩, 접속수단 등을 외부 환경으로부터 보호하기 위해 상기 관통공을 봉지재로 충전하는 몰딩 단계와; 상기 셉스트레이트에서 커버레이테이프를 제거하는 단계와; 상기 각각의 관통공 외주연에 형성된 블랜드에 도전성 볼을 융착하는 단계와; 상기 각각의 관통공 외주연을 컷팅하여 날개의 반도체패키지로 싱글레이션하는 단계를 포함하여 이루어진 것을 특징으로 한다.

<35> 상기 일체형의 커버레이 테이프를 접착하는 단계에서, 상기 커버레이 테이프의 절단라인은 상기 커버레이 테이프의 폭 전체에 걸쳐서 형성할 수 있으며, 상기 관통부 영

역을 포함하는 상기 커버레이 테이프의 폭 전체의 일부영역에만 형성할 수도 있다.

<36> 상기와 같이 하여 본 발명에 의한 반도체패키지용 셉스트레이트 및 그 셉스트레이트를 이용한 반도체패키지의 제조 방법에 의하면, 셉스트레이트의 일면에 서브-스트립과 서브-스트립 사이의 경계영역상에 형성되는 절단라인을 갖는 일체형의 커버레이 테이프를 접착함으로써 길이에 비례하여 나타나는 열팽창 계수차에 의한 워페이징 현상을 최소화하여 반도체패키지의 제조 공정중 각종 불량요인을 미연에 방지하게 된다.

<37> 이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

<38> 도1a 및 도 1b는 본 발명에 의한 반도체패키지(200)용 셉스트레이트(100)를 도시한 평면도 및 저면도이다.

<39> 먼저 대략 직사각형 모양의 수지층(6)을 기본 재료로 하여, 반도체칩(도시되지 않음)이 위치되도록 다수의 관통공(8)이 매트릭스(matrix) 형상으로 행과 열을 지어 일정 거리 이격된 채 균집되어 하나의 서브-스트립(2)을 이루고 있다. 다시 상기 서브-스트립(2)은 세로 방향으로 일정 길이 관통된 슬롯(26)을 경계로 다수가 가로 방향으로 연결되어 하나의 메인-스트립(4)을 이루고 있다.

<40> 상기 각각의 서브-스트립(2)내의 관통공(8) 외주연인 수지층(6) 표면에는 차후 반도체칩(42)과 접속수단(44) 예를 들면 골드와이어(gold wire)나 알루미늄와이어(aluminum wire) 같은 전기적 접속수단(44)으로 접속되도록 본드핑거(12)가 형성되어 있고, 또한 차후 도전성볼(48) 예를 들면 솔더볼(solder ball) 등이 용착되도록 상기 본드

핑거(12)에 연결되어 볼랜드(14)가 형성되어 있다. 여기서 상기 본드핑거(12) 및 볼랜드(14) 등을 도전성 회로패턴으로 정의한다.

<41> 상기 수지층(6) 및 회로패턴의 표면에는 상기 본드핑거(12) 및 볼랜드(14)가 외부로 오픈(open, 개방)되도록 고분자 수지인 커버코트(16)가 코팅되어 있으며, 이러한 커버코트(16)는 회로패턴을 외부 환경으로부터 보호함은 물론 전체적인 셉스트레이트(100)의 강성을 확보하게 된다.

<42> 더불어, 상기 셉스트레이트(100)의 가장자리에 위치하는 수지층(6) 표면에는 일정한 면적을 갖는 도전성 그라운드플랜(22)이 형성되어 있고, 상기 그라운드플랜(22)은 커버코트에 의해 오픈되어 있으며, 또한 상기 그라운드링(18)과 전기적으로 연결되어 있다. 상기 그라운드플랜(22)은 상기 그라운드링(18)과 다르게 수지층(6)의 양면에 형성할 수 있으며, 이로 인해 제조 공정중 발생하는 정전기를 보다 용이하게 외부로 방출시킬 수 있다.

<43> 도1b에 도시된 바와 같이, 커버레이테이프(30)를 메인-스트립(4)과 같은 크기를 갖도록 구비하여, 상기 메인 스트립 일면 전체에 접착하고 있다. 또한, 상기 메인-스트립(4)상에 접착되는 상기 일체형의 커버레이테이프(30)에는 서브-스트립(2)과 서브-스트립(2) 사이의 경계영역상에 절단라인(32)을 형성하고 있다.

<44> 일반적으로, 고온의 온도조건이 필요한 와이어본딩 공정이나 몰딩 공정중에 상기 셉스트레이트와 커버레이테이프의 열팽창 계수차에 의한 변형량은 다음의 식과 같이 주어진다.

<45> $\Delta L = L \times \alpha$ (여기서, ΔL 은 변형량, L 은 테이프의 길이, α 는 변형률)

- <46> 따라서, 본 발명은 커버레이테이프에 절단라인을 형성하는 것에 의해, 상기 테이프의 길이를 상기 절단라인만큼 축소하는 것이 가능함으로, 길이에 비례하여 증가하는 열팽창 계수를 완화할 수가 있게 되는 것이다.
- <47> 또한, 상기 커버레이 테이프의 절단라인(32)은 서브-스트립(2)과 서브-스트립(2) 사이의 경계영역의 슬롯(26) 상에 형성하는 것이 바람직하며, 또, 커팅 라인(32)의 폭 크기(도면상에서 가로 폭)는 제한 적인 것은 아니나, 슬롯의 폭(도면상에서 가로 폭)보다 작은 것이 바람직하며, 이는 다음에 설명할 반도체 패키지(200) 제조공정에 있어서, 커버레이테이프(30)의 제거를 용이하게 실시하도록 하기 위한 것이다.
- <48> 또한, 상기 커팅 라인(32)는 상기 커버레이 테이프(30)의 폭(도면상에서 세로 폭) 전체에 걸쳐서 형성하거나, 상기 관통 슬롯(26)의 영역을 포함하는 상기 커버레이 테이프의 폭 전체의 일부영역에만 형성할 수도 있으며, 이는 본 발명에 있어 제한적인 것은 아니다.
- <49> 도면중 미설명 부호 28은 섭스트레이트(100)를 각종 제조 장비에 로딩(loading) 및 고정하기 위한 인덱스홀이다.
- <50> 상기와 같이 하여 본 발명에 의한 반도체패키지(200)용 섭스트레이트(100)는 섭스트레이트에 접착되는 일체형의 커버레이테이프에 절단라인(32) 형성함으로써 길이에 비례하여 나타나는 열팽창 계수차에 의한 워페이지 현상을 최소화하게 된다.
- <51> 또한, 커버레이테이프(30)의 제거가 용이하도록 설계함으로써, 그 커버레이테이프(30)의 제거 작업시 섭스트레이트(100)의 파손을 최소화된다.
- <52> 도2a 내지 도2h는 본 발명에 의한 반도체패키지(200)의 제조 방법을 도시한 순차

설명도이다.

- <53> 먼저 반도체칩(42)이 위치하도록 다수의 관통공(8)이 행과 열을 지어 일정거리 이격된 채 균집되어 하나의 서브-스트립(2)을 이루며, 상기 서브-스트립(2)은 일정길이로 관통된 슬롯(26)을 경계로 다수가 연결되어 하나의 메인-스트립(4)을 형성하는 수지층(6)과; 상기 각 서브-스트립(2) 내의 관통공(8) 외주연인 수지층(6)에 차후 반도체칩(42)과 접속수단(44)으로 접속되고 또한 차후 도전성볼(48)이 융착되도록 본드핑거(12) 및 블랜드(14)를 포함하여 이루어진 도전성 회로패턴과; 상기 수지층(6) 및 회로패턴의 표면에 상기 본드핑거(12) 및 블랜드(14)가 오픈되도록 코팅된 커버코트(16)를 포함하여 이루어진 반도체패키지용 셉스트레이트(100)를 제공한다.(도1a, 도1b 및 도2a 참조)
- <54> 상기 셉스트레이트(100)의 각 서브-스트립(2) 일면에 그 서브-스트립(2)에 형성된 모든 관통공(8)을 폐쇄할 수 있도록 커버레이테이프(30)를 접착한다.(도2b)
- <55> 여기서, 상기 커버레이 테이프의 절단라인(32)은 서브-스트립(2)과 서브-스트립(2) 사이의 경계영역의 슬롯(26)의 하부에 형성함으로써 전체적인 커버레이 테이프의 길이를 축소하게 되는 것이다. 이와 같이 함으로써 길이에 비례하여 증가하는 열팽창계수차를 완화하게 되어 반도체패키지(200) 제조 공정중 셉스트레이트(100)의 워페이징 현상을 억제하게 된다.
- <56> 상기 셉스트레이트(100)에 형성된 각각의 관통공(8)에 반도체칩(42)을 위치시키되, 일면이 상기 커버레이테이프(30)상에 접착되도록 한다.(도2c)
- <57> 상기 반도체칩(42)과 관통공(8) 외주연에 형성된 본드핑거(12)를 골드와이어나 알루미늄와이어와 같은 전기적 접속수단(44)으로 접속한다.(도2d)

- <58> 상기 반도체칩(42), 접속수단(44) 등을 외부 환경으로부터 보호하기 위해 상기 관통공(8)을 에폭시몰딩컴파운드(epoxy molding compound) 또는 액상봉지재(46) 등의 봉지재(46)로 몰딩한다.(도2e)
- <59> 상기 각각의 관통공(8) 외주연에 형성된 볼랜드(14)에 솔더볼과 같은 도전성볼(48)을 융착한다.(도2f)
- <60> 상기 셉스트레이트(100)에서 커버레이테이프(30)를 제거한다.(도2g)
- <61> 이때, 상기 커버레이테이프(30) 제거는 서브-스트립(2)과 서브-스트립(2) 사이의 경계 영역에 형성된 슬롯(26)에 펀치(34)를 통과시켜 커버레이테이프(30)의 일측이 셉스트레이트(100)에서 분리되도록 하여 제거하게 된다. 상기와 같은 방법을 사용하게 되면, 모든 서브-스트립(2) 일면에 접착된 커버레이테이프(30)를 용이하게 제거할 수 있게 된다.
- <62> 상기 각각의 관통공(8) 외주연을 컷팅하여 날개의 반도체패키지(200)로 싱귤레이션(singulation)한다.(도3h)
- <63> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

【발명의 효과】

- <64> 상기와 같이 하여 본 발명에 의한 반도체패키지용 셉스트레이트 및 그 셉스트레이트를 이용한 반도체패키지의 제조 방법에 의하면 셉스트레이트에 접착되는 일체형의 커버레이테이프에 절단라인을 형성함으로써 길이에 비례하여 나타나는 열팽창 계수차에 의

한 워페이지 현상을 최소화하여 반도체패키지의 제조 공정중 각종 불량요인을 미연에 방지할 수가 있다.

<65> 더불어, 반도체패키지의 제조 공정중 서브-스트립과 서브-스트립의 경계 영역에 구비된 슬롯 사이에 펀치를 통과시켜 커버레이테이프의 일단이 분리되도록 함으로써, 그 커버레이테이프의 제거 작업을 용이하게 수행하고 섭스트레이트의 파손을 최소화할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체칩이 위치되도록 다수의 관통공이 행과 열을 지어 일정거리 이격된 채 군집되어 하나의 서브-스트립을 이루며, 상기 서브-스트립은 일정길이로 관통된 슬롯을 경계로 다수가 연결되어 하나의 메인-스트립을 형성하는 수지층과;

상기 각 서브-스트립 내의 관통공 외주연인 수지층에 차후 반도체칩과 접속수단으로 접속되고, 또한 차후 도전성볼이 융착되도록 본드핑거 및 블랜드를 포함하여 이루어진 도전성 회로패턴과;

상기 수지층 및 회로패턴의 표면에 상기 본드핑거 및 블랜드가 오픈되도록 코팅된 커버코트와; 상기 메인-스트립을 이루는 수지층의 일면에 상기 다수의 관통공을 폐쇄할 수 있도록 접착되며, 상기 서브-스트립과 서브-스트립 사이의 경계영역상에서 절단라인을 갖는 일체형의 커버레이 테이프와를 포함하여 이루어진 것을 특징으로 하는 반도체패키지용 셉스트레이트.

【청구항 2】

제 1항에 있어서, 상기 커버레이 테이프의 절단라인은 상기 커버레이 테이프의 폭 전체에 걸쳐서 형성되는 것을 특징으로 하는 반도체패키지용 셉스트레이트.

【청구항 3】

제 1항에 있어서, 상기 커버레이 테이프의 절단라인은 상기 슬롯상의 영역을 포함하는 상기 커버레이 테이프의 폭 전체의 일부영역에만 형성되는 것을 특징으로 하는 반도체패키지용 셉스트레이트.

【청구항 4】

반도체칩이 위치되도록 다수의 관통공이 행과 열을 지어 일정거리 이격된 채 군집되어 하나의 서브-스트립을 이루며, 상기 서브-스트립은 일정길이로 관통된 슬롯을 경계로 다수가 연결되어 하나의 메인-스트립을 형성하는 수지층과; 상기 각 서브-스트립 내의 관통공 외주연인 수지층에 차후 반도체칩과 접속수단으로 접속되고, 또한 차후 도전성볼이 융착되도록 본드핑거 및 블랜드를 포함하여 이루어진 도전성 회로패턴과; 상기 수지층 및 회로패턴의 표면에 상기 본드핑거 및 블랜드가 오픈되도록 코팅된 커버코트를 포함하여 이루어진 반도체패키지용 셉스트레이트를 제공하는 단계와;

상기 셉스트레이트의 일면에 각 서브-스트립에 형성된 모든 관통공을 폐쇄할 수 있도록, 상기 서브-스트립과 서브-스트립 사이의 경계영역상에서 절단라인을 갖는 일체형의 커버레이 테이프를 접착하는 단계와;

상기 각각의 관통공에 반도체칩을 위치시켜 상기 커버레이테이프상에 접착시키는 단계와;

상기 반도체칩과 관통공 외주연에 형성된 본드핑거를 전기적 접속수단으로 접속하는 단계와;

상기 반도체칩, 접속수단 등을 외부 환경으로부터 보호하기 위해 상기 관통공을 봉지재로 충전하는 몰딩 단계와;

상기 셉스트레이트에서 커버레이테이프를 제거하는 단계와; 상기 각각의 관통공 외주연에 형성된 블랜드에 도전성 볼을 융착하는 단계와; 상기 각각의 관통공 외주연을 컷

팅하여 날개의 반도체패키지로 싱글레이션하는 단계를 포함하여 이루어진 반도체패키지의 제조 방법.

【청구항 5】

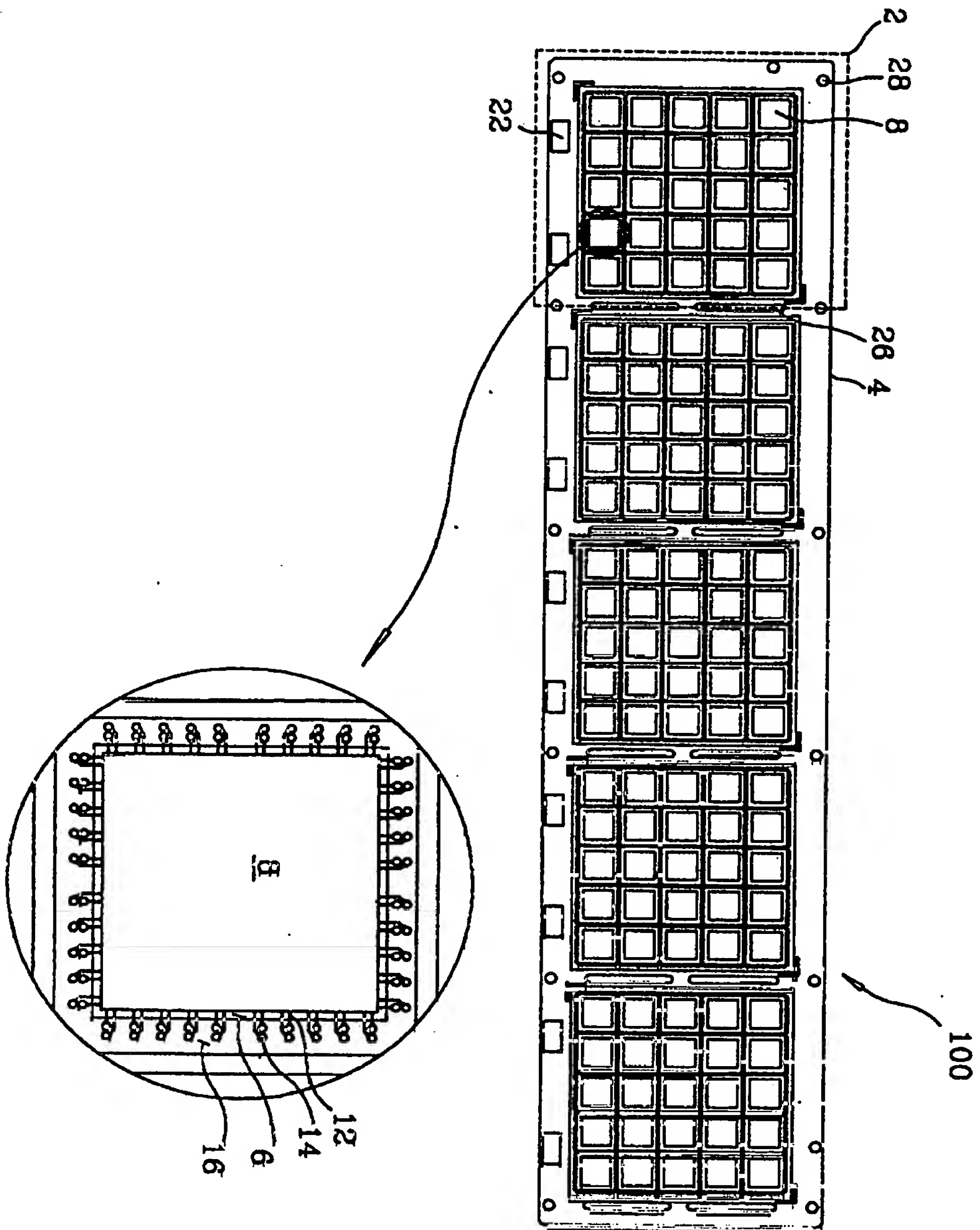
제 4항에 있어서, 상기 커버레이 테이프의 절단라인은 상기 커버레이 테이프의 폭 전체에 걸쳐서 형성되는 것을 특징으로 하는 반도체패키지의 제조 방법.

【청구항 6】

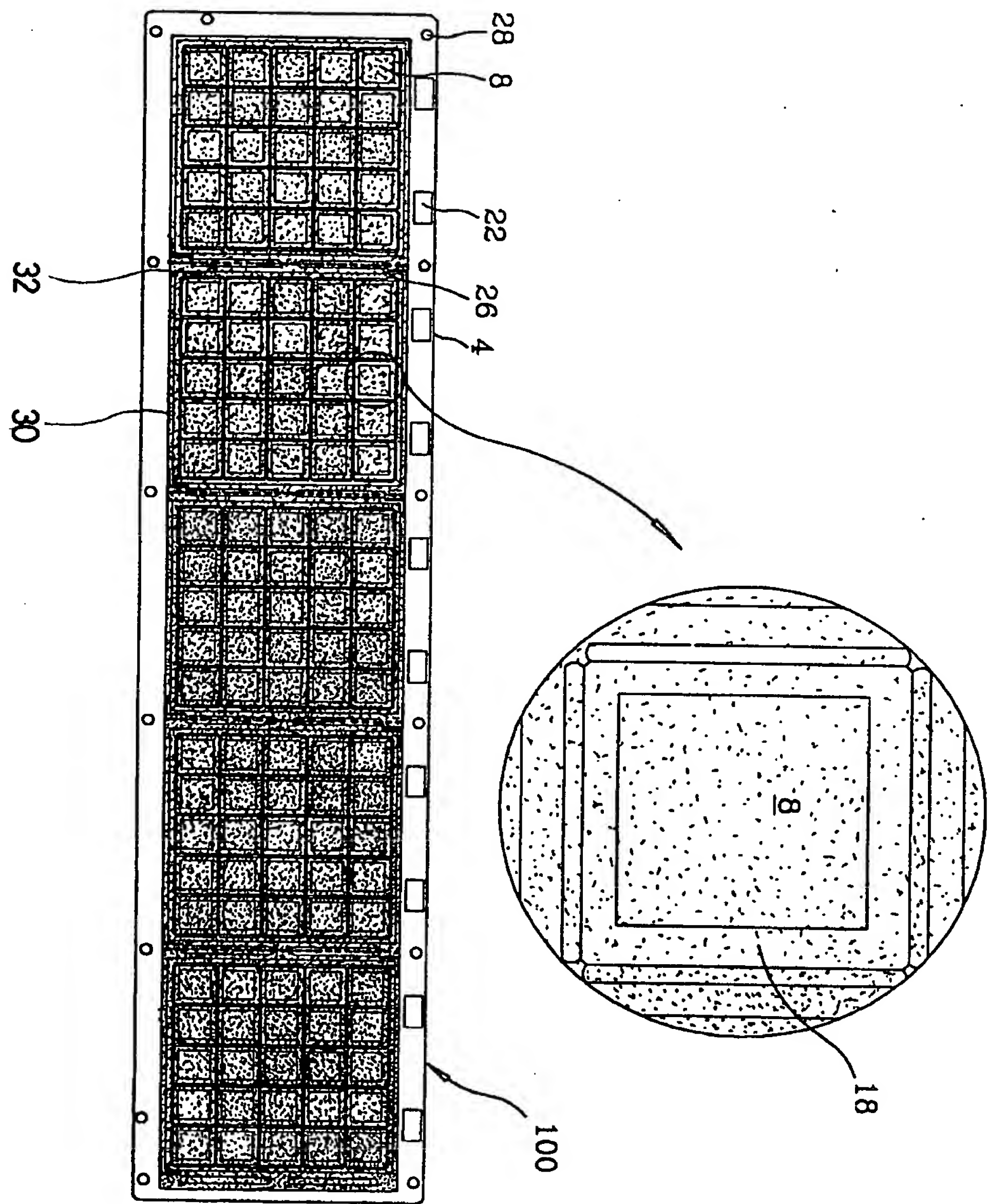
제 4항에 있어서, 상기 커버레이 테이프의 절단라인은 상기 슬롯상의 영역을 포함하는 상기 커버레이 테이프의 폭 전체의 일부영역에만 형성되는 것을 특징으로 하는 반도체패키지의 제조 방법.

【도면】

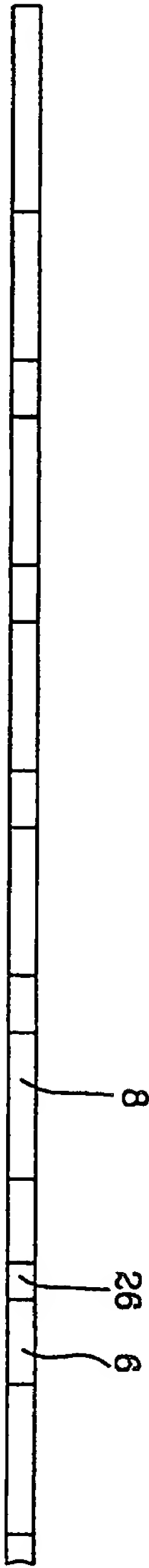
【도 1a】



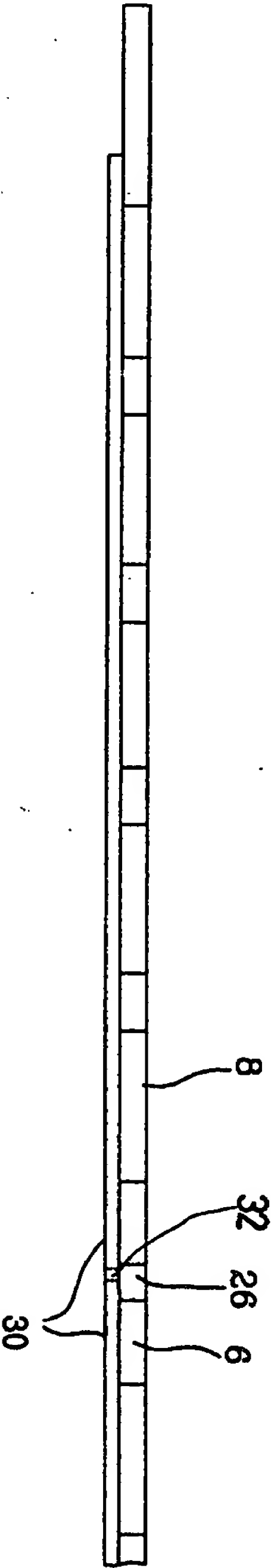
【도 1b】



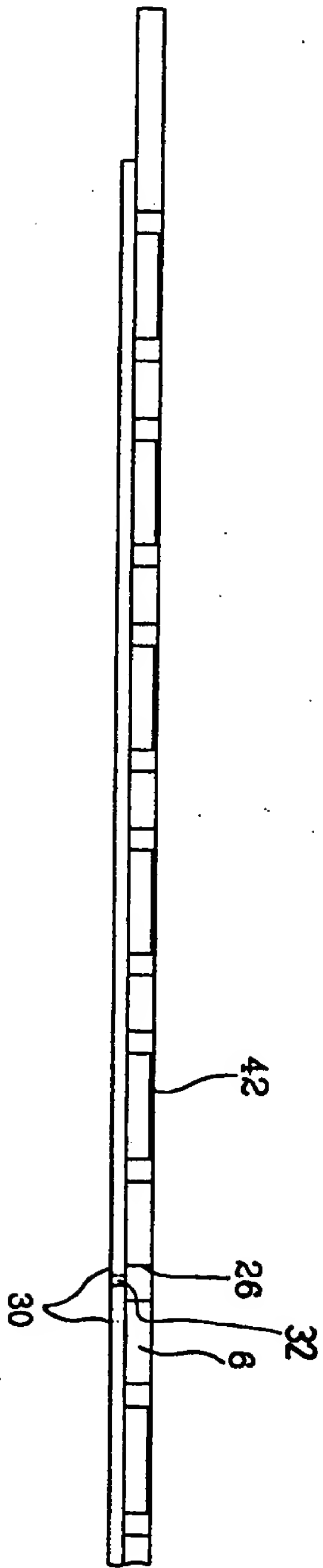
【도 2a】



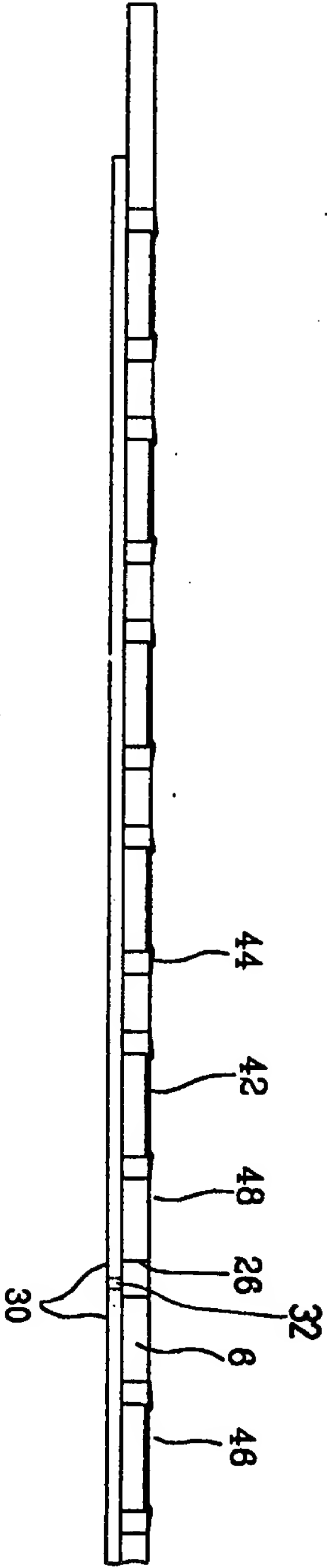
【도 2b】



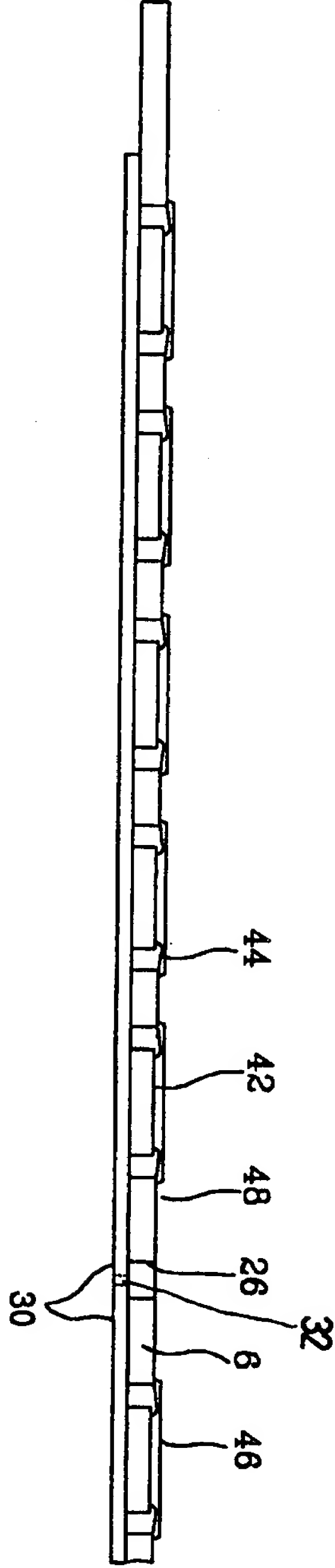
【도 2c】



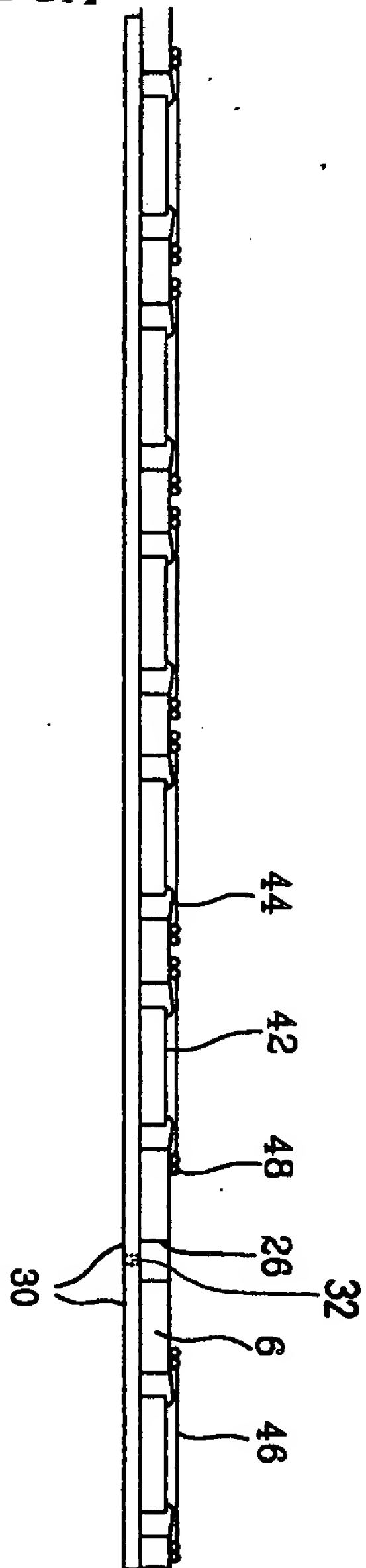
【도 2d】



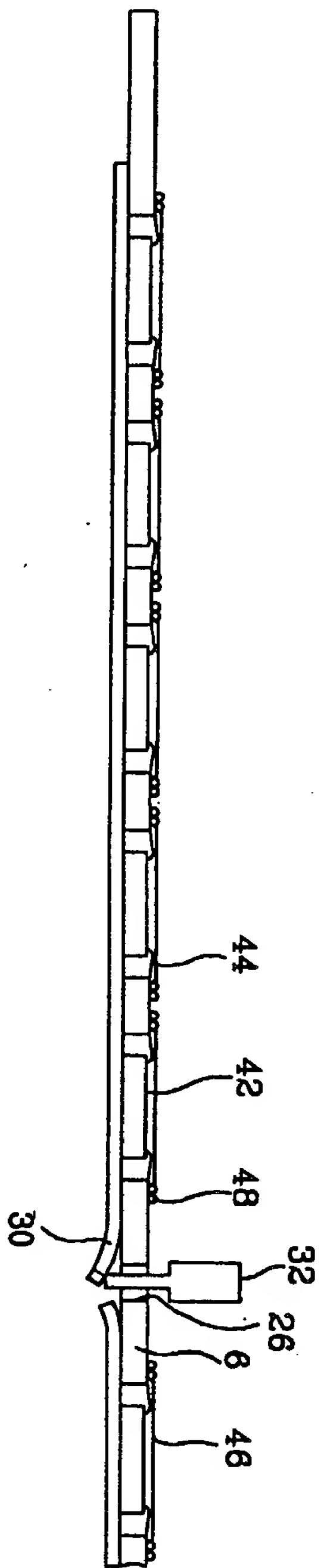
【도 2e】



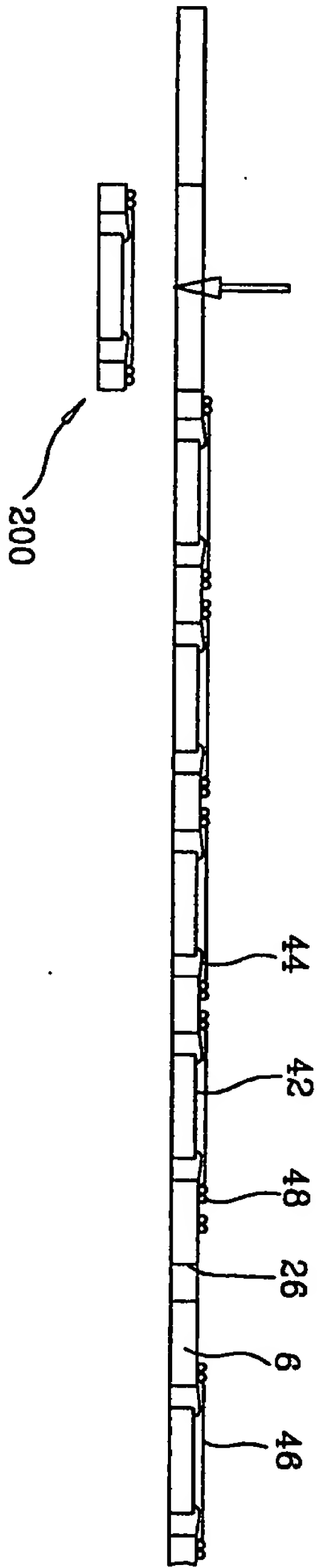
【도 2f】



【도 2g】



【도 2h】



【도 3】

